

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

04219467 **Image available**

INTEGRATED CIRCUIT

PUB. NO.: 05-211167 [JP 5211167 A]

PUBLISHED: August 20, 1993 (19930820)

INVENTOR(s): TANABE HIROSHI

ASADA HIDEKI

APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 03-315863 [JP 91315863]

FILED: November 29, 1991 (19911129)

INTL CLASS: [5] H01L-021/336; H01L-029/784; G02F-001/136; H01L-021/20;
H01L-021/268

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION
INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD: R002 (LASERS)

JOURNAL: Section: E, Section No. 1468, Vol. 17, No. 649, Pg. 24,
December 02, 1993 (19931202)

ABSTRACT

PURPOSE: To enable the deterioration in a partial element in a circuit to be avoided by a method wherein the title integrated circuit comprising semiconductor elements formed by irradiating step with pulse laser is composed of the element integrated group smaller than the one pulse irradiation range of the pulse laser.

CONSTITUTION: The element integrated groups (3.7.3.7mm) comprising 50 bits of scanning circuit one bit cells 101 are formed to be arranged in 8 sets in series for constituting 400 bit shift register to be arranged at the intervals of 1.0mm. The poly-Si layers comprising the active layer of the thin film transistors to be the elements are excimer laser annealed in the irradiation beam size of 5X5mm. This layer has the periphery 103 of the irradiating part in width of about 0.3mm to be made more even than that in the inner part 102. However, since the semiconductor elements are arranged only in the register having the even characteristics, the characteristics of respective thin film transistors are made even so that the shift register may be formed without developing the partial element defects.

DIALOG(R)File 352:DERWENT WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.
009604862 **Image available**
WPI Acc No: 1993-298410/199338
XRPX Acc No: N93-230012

**IC formed by pulse laser irradiation process - is constructed by element
integration groups smaller than on pulse irradiation area of pulse laser**

NoAbstract

Patent Assignee: NEC CORP (NIDE)
Number of Countries: 001 Number of Patents: 001
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 5211167	A	19930820	JP 91315863	A	19911129	199338 B

Priority Applications (No Type Date): JP 91315863 A 19911129

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 5211167	A	3	H01L-021/336	

Abstract (Basic): JP 5211167 A Dwg.1/2

Title Terms: IC; FORMING; PULSE; LASER; IRRADIATE; PROCESS; CONSTRUCTION;
ELEMENT; INTEGRATE; GROUP; SMALLER; PULSE; IRRADIATE; AREA; PULSE;
LASER; NOABSTRACT

Derwent Class: P81; U11; U14

International Patent Class (Main): H01L-021/336

International Patent Class (Additional): G02F-001/136; H01L-021/20;
H01L-029/784

File Segment: EPI; EngPI

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-211167

(43)公開日 平成 5 年(1993) 8 月20日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/336				
29/784				
G 0 2 F 1/136	5 0 0	9018-2K		
H 0 1 L 21/20		9171-4M		
		9056-4M		
			H 0 1 L 29/ 78	3 1 1 Y

審査請求 未請求 請求項の数 1 (全 3 頁) 最終頁に続く

(21)出願番号 特願平3-315863

(22)出願日 平成 3 年(1991)11月29日

(71)出願人 000004237

日本電気株式会社
東京都港区芝五丁目 7 番 1 号

(72)発明者 田邊 浩

東京都港区芝五丁目 7 番 1 号日本電気株式
会社内

(72)発明者 浅田 秀樹

東京都港区芝五丁目 7 番 1 号日本電気株式
会社内

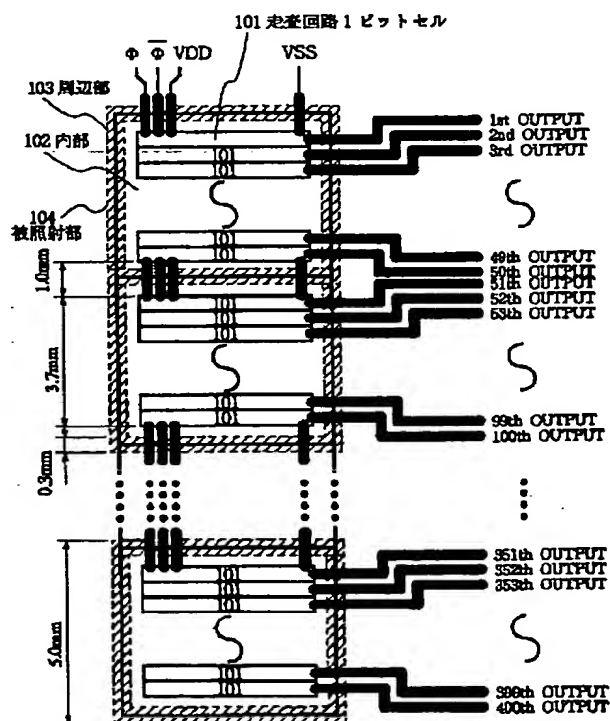
(74)代理人 弁理士 京本 直樹 (外 2 名)

(54)【発明の名称】—集積回路

(57)【要約】

【目的】パルスレーザの照射により形成される素子の不均一化を防ぎ、大面積なデバイスにおける構成素子の均一性の向上、デバイス動作を安定化をはかる。

【構成】パルスレーザの照射工程を経て形成される集積回路を、1照射範囲よりも小さなブロックに分けて配置することで、レーザ照射周辺部に素子が配置されないようにする。



【特許請求の範囲】

【請求項 1】 パルスレーザの照射工程を経て形成される半導体素子からなる集積回路において、前記パルスレーザの 1 パルス照射範囲よりも小さい素子集積群から構成されることを特徴とする集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路に関するものであり、とくに液晶ディスプレイ、イメージセンサ等に応用可能な薄膜トランジスタを用いた半導体集積回路に関する。

【0002】

【従来の技術】 液晶ディスプレイ (CLD) 用周辺駆動回路などの高速動作を必需とする薄膜集積回路への応用を目的として、多結晶 Si 薄膜トランジスタの開発が進められている。なかでも XeCl エキシマレーザなどの紫外パルスレーザによるレーザアニール工程を経て形成された薄膜トランジスタは、ソーダライムガラスなどの低融点基板上に作製できる方法の一つである。数十 ns 程度の超短パルスレーザであるため、薄膜表面のみの熔融再結晶化を可能とし、基板への熱的な影響を小さく抑えることができるからである。

【0003】 ところで、LCD 用周辺駆動回路などの長尺デバイスを形成するためには、LSI 等に比べ広範囲における均一性が要求される。したがって、レーザビームは一般に強度分布のないものが用いられ、広範囲にわたって均一な薄膜を得るためにはビームの走査が行われている。例えば、図 2 に示すように各パルスビームが重畳するように矢印 (204) の方向に走査されている。

【0004】

【発明が解決しようとする課題】 とこれが、上述のようなレーザアニール法においては、被照射部 (203) の周辺部 (202) において、内部 (201) に比較して均一性が低下するという問題が生じている。被照射内部に比べ、周辺部においては非被照射部との境界を形成するため照射時の熱の放射が異なり、形成される半導体薄膜の微細構造が不均一になるためである。したがって、パルスレーザを重畳しながら走査し、長尺、もしくは大面積の集積回路を形成する場合、被照射周辺部における素子の特性が著しく劣化し、集積回路全体の特性を低下させるという問題があった。

【0005】

【課題を解決するための手段】 パルスレーザの照射工程を経て形成される半導体素子からなる集積回路において、前記パルスレーザの 1 パルス照射範囲よりも小さい素子集積群から構成されることを特徴とする集積回路。

【0006】

【作用】 本発明によれば、形成されるべき半導体集積回路が、1 レーザパルス照射範囲に比べ長尺または大面積にわたって回路を有する場合においても、被照射周辺部

にあたる位置に前記集積回路を構成すべき半導体素子が存在しないため、回路内の部分的な素子の劣化を防ぐことが可能となる。

【0007】

【実施例】 本発明の実施例について以下に記す。図 1 は 400 ビットシフトレジスタの配置概略図である。走査回路 1 ビットセル (101) が 50 ビットずつ素子集積群 (3.7 × 3.7 mm) を形成し、上記素子集積群が 8 組直列に並ぶことによって 400 ビットのシフトレジスタが構成されている。この時各素子集積群は 1.0 mm の間隔を保って配置されている。レーザ照射には XeCl エキシマレーザを用いており、照射ビームサイズ 5 × 5 mm、エネルギー密度 300 mJ/cm²、照射回数 10 shot/place である。この条件で、素子となる薄膜トランジスタの活性層を構成する poly-Si 層のエキシマレーザアニールを行った。この poly-Si 層は、被照射部 (104) の周辺部 (103) が約 0.3 mm の幅を持って内部 (102) に比較して不均一になる。しかし、本実施例においては均一な特性が得られる領域のみに半導体素子配置しているため、得られる各薄膜トランジスタの特性が一定となり、部分的な素子欠陥を形成することなくシフトレジスタの形成が行われた。

【0008】 本実施例においては上述のようなレーザビームを用いたため、被照射周辺部に広範囲にわたって不均一部を形成しているが、レーザの特性を選択することによって付近一部の割合を削減し、素子の配置に余裕度をもたせることも可能である。また、もちろん形成されるべき集積回路に比べ大きな 1 照射範囲を有するレーザを用いれば、1 素子集積群が 1 集積回路に相当することはいうまでもない。

【0009】

【発明の効果】 本発明により、集積回路を形成する各半導体素子を均一に形成することが可能になり、形成される集積回路の動作性能の均一化、スループットの向上、信頼性の向上が実現されるという効果を有する。

【図面の簡単な説明】

【図 1】 本発明の実施例の集積回路の配置図。

【図 2】 従来のレーザ照射方法。

【符号の説明】

101 走査回路 1 ビットセル

102 レーザ照射によって均一な poly-Si が形成される部分 (内部)

103 内部に比較して不均一な poly-Si が形成される部分 (周辺部)

104 レーザの照射範囲

201 レーザ照射によって均一な poly-Si が形成される部分 (内部)

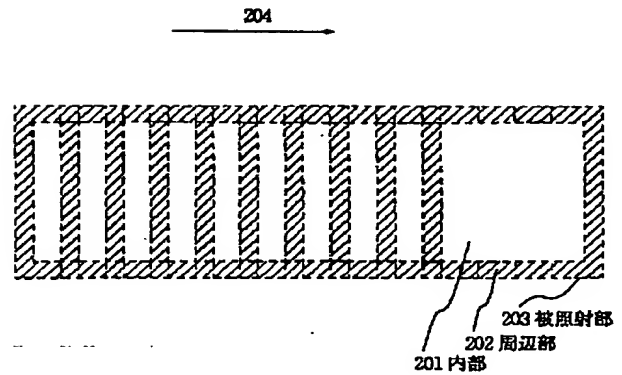
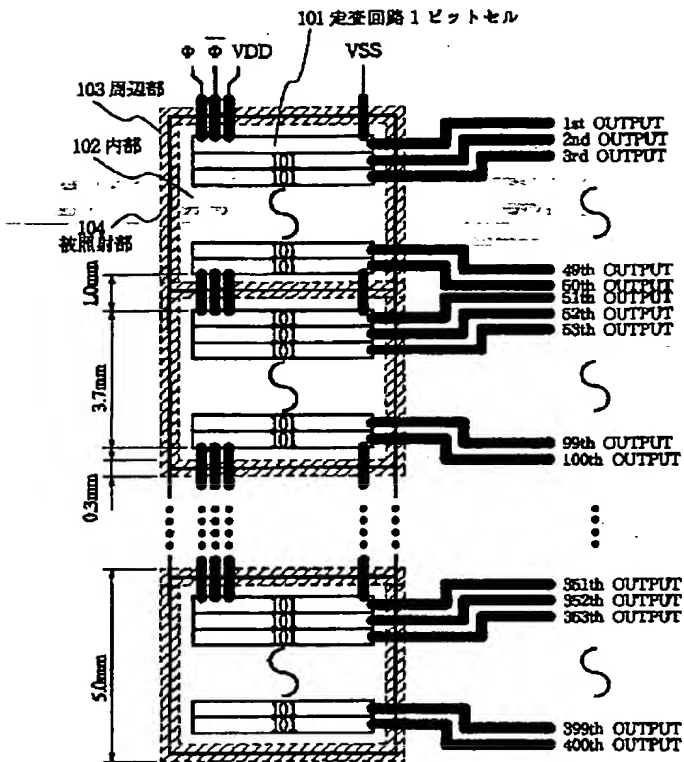
202 内部に比較して不均一な poly-Si が形成される部分 (周辺部)

203 レーザの照射範囲

【図1】

204 レーザ走査方向

【図2】



フロントページの続き—

(51) Int. Cl. 5

H 0 1 L 21/268

識別記号

片内整理番号

Z 8617-4M

F I

技術表示箇所